

L1: Entry 1 of 3

File: DWPI

Apr 23, 1996

DERWENT-ACC-NO: 1996-257215

DERWENT-WEEK: 199703

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: Silicon-on-insulator substrate mfr. for semiconductor wafer  
- by making semiconductor wafer come in contact with grindstone  
rotated vertically and grinding from active substrate upper part

PRIORITY-DATA: 1994JP-0274177 (September 30, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08107092 A	April 23, 1996		005	H01L021/304
TW 284893 A	September 1, 1996		000	H01L021/08

INT-CL (IPC): H01 L 21/08; H01 L 21/304; H01 L 21/12

ABSTRACTED-PUB-NO: JP 08107092A

BASIC-ABSTRACT:

The method involves fastening a support substrate (2) and an active substrate (3) to obtain a laminating wafer (4) rotated longitudinally. A grindstone (1) is connected to a dicing machine and it is rotated perpendicularly to the active substrate. It grinds the periphery of the active substrate and the upper surface of the laminating wafer and leaving a remains layer.

ADVANTAGE - Shortens mfg. time of SOI substrate. Prevents generation of V slot. Minimises variation in thickness of remains layer. Shortens etching process which follows grinding process.

L14 ANSWER 42 OF 1 CAPLUS COPYRIGHT 2003 ACS

Full Text

AN 1996:386073 CAPLUS

DN 125:46742

TI Manufacture of SOI wafers

IN Nakayoshi, Juichi; Ishii, Akihiro; Hashiguchi, Eriko

PA Kyushu Komatsu Denshi Kk, Japan; Komatsu Denshi Kinzoku Kk

SO Jpn. Kokai Tokkyo Koho, 5 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

FAN.CNT 1

PATENT NO. KIND DATE APPLICATION NO. DATE

-----

PI (JP 08107092) A2 19960423 JP 1994-274177 19940930

PRAI JP 1994-274177 19940930

AB Support and active semiconductor substrates (e.g., Si) are attached into single wafers and the periphery of the active substrates are cut off by machining with grind stones rotating in a vertical plane, with the wafers rotating on a horizontal plane.

PUB-NO: JP408107092A  
DOCUMENT-IDENTIFIER: JP 08107092 A  
TITLE: MANUFACTURE OF SOI SUBSTRATE

PUBN-DATE: April 23, 1996

INVENTOR-INFORMATION:

NAME

COUNTRY

NAKAYOSHI, YUICHI

ISHII, AKIHIRO

HASHIGUCHI, ERIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KYUSHU KOMATSU DENSHI KK

KOMATSU ELECTRON METALS CO LTD

APPL-NO: JP06274177

APPL-DATE: September 30, 1994

INT-CL (IPC): H01 L 21/304; H01 L 27/12

ABSTRACT:

PURPOSE: To provide a manufacturing method for an SOI substrate which can be manufactured in a short time without generating a V-shaped groove by performing grind work so that the thickness of the residual layer of a chamfered active substrate is thinned and the dispersion thereof is reduced.

CONSTITUTION: A stuck wafer 4 is obtained by sticking an active substrate 3 to a supporting substrate 2. A grindstone 1 for grinding is provided in a dicing machine and the stuck wafer 4 is rotated in the horizontal direction and at the same time the grindstone 1 for grinding is rotated vertical to the active substrate 3. The grindstone 1 for grinding is brought into contact with the upper surface of the peripheral part of the stuck wafer 4 from the upper side to grind the peripheral part of the active substrate 3 so as to leave the residual layer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-107092

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/304	3 0 1 B			
27/12	B			

審査請求 未請求 請求項の数 2 書面 (全 5 頁)

(21) 出願番号 特願平6-274177

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 392006868

九州コマツ電子株式会社

宮崎県宮崎郡清武町大字木原1112番地

(71) 出願人 000184713

コマツ電子金属株式会社

神奈川県平塚市四之宮2612番地

(72) 発明者 中▲吉▼ 雄一

宮崎県宮崎郡清武町大字木原1112番地 九州

コマツ電子株式会社内

(72) 発明者 石井 明洋

宮崎県宮崎郡清武町大字木原1112番地 九州

コマツ電子株式会社内

(74) 代理人 弁理士 衛藤 彰

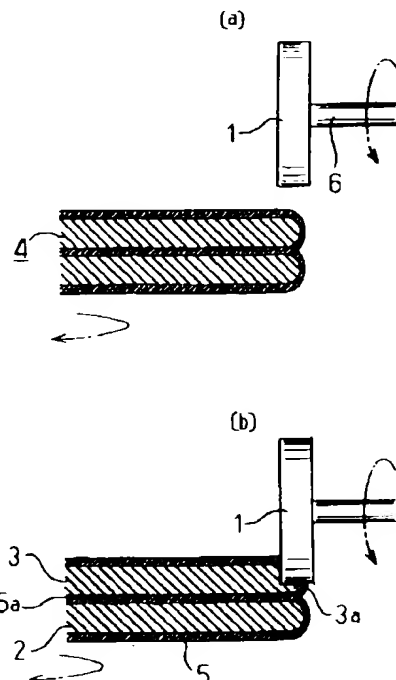
最終頁に続く

(54) 【発明の名称】 SOI 基板の製造方法

(57) 【要約】

【目的】 従来技術に比し、取り加工後の活性基板の残留層の厚さを薄く且つばらつきを少なく研削し、V溝の発生をなくと共に、短時間で製造することができる SOI 基板の製造方法を提供する。

【構成】 支持基板2と活性基板3を貼り合わせて貼合せウェハ4を得る。ダイシングマシンに研削砥石1を設ける。貼合せウェハ4を水平方向に回転させると共に、研削砥石1を活性基板3に対し垂直に回転させる。貼合せウェハ4の外周部の上面に研削砥石1を上方から接触させる。残留層11aを残し活性基板3の外周部を研削する。



## 【特許請求の範囲】

【請求項1】 支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を製造するに当たり、活性基板の外周部を面取りする方法において、貼り合わせた半導体ウェハを水平方向に回転させると共に、これに対し略垂直方向に回転する研削砥石を前記活性基板の上方から接触させて研削するようにしたことを特徴とするSOI基板の製造方法。

【請求項2】 ダイシングマシンを用い、該ダイシングマシンに研削砥石を設け、該研削砥石により研削することを特徴とする請求項1記載のSOI基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせて得られる貼合せウェハからSOI基板を製造するSOI基板の製造方法に関するものである。

## 【0002】

【従来の技術】近年、高性能の半導体デバイス用基板として、その高耐圧性や高速性などからSOI基板が要求されており、この種の要求を満たす大面積で結晶欠陥の少ないSOI基板は、2枚の半導体ウェハを貼り合わせて得られる貼合せウェハから比較的容易に作れるようになった。通常、このような貼合せウェハの製造は次に示すような工程で行われる。

(1) 図2(a)に示すように、支持基板12を熱処理し、その表面に酸化膜13を形成する。

(2) 図2(b)に示すように、活性基板11と支持基板12の互いの接合面を洗浄、親水処理し、乾燥処理した後、まだ親水性を保持した状態で接合させる。これに再度熱処理を行うことにより活性基板11と支持基板12は互いに貼着すると共に、活性基板11側にも酸化膜13が形成される。これにより貼合せウェハ14を得られる。

【0003】ところが、この親水処理及び乾燥処理をすることにより残留水素や水素イオンがこの貼合せウェハ14の外周部に集まりやすく、それが気泡を形成して未接着部(ボイド)発生の原因となる。この未接着部は他の部位より強度が落ち、後のデバイス工程でチップングやパーティクル発生の原因となることから、未接着部を含む活性基板11の外周部を取り除く必要がある。従来、この活性基板11の外周部を取り除く方法として、未接着部を含む活性基板11の外周部を研削加工により面取りした後、エッチングにより残留部分を除去する方法が行われている。すなわち、図2(c)に示すように、この研削加工は接合部の中間酸化膜13aを傷つけないように厚さ数十 $\mu\text{m}$ 程度の残留層11aを残して行われる。次に図2(d)に示すように、残留層11aを水酸化カリウムなどの無機アルカリの水溶液、またはビ

ベラジンなどの有機アルカリの水溶液を用いたエッチングにより除去する。

【0004】従来、上記した活性基板11の外周部を面取りする研削は、面取り機に取り付けられたカップホイール15により行われている。すなわち、図3(a)に示すように、貼合せウェハ14をそれぞれ水平方向に回転させると共に、器を伏せた形状に形成されたカップホイール15を水平方向に回転させながら、活性基板11の上方から垂直移動させる。図3(b)に示すように、カップホイール15を垂直移動させることにより、このカップホイール15が活性基板11の外周部に接触し、残留層11aを残すように外周部の上面から徐々に研削される。

## 【0005】

【発明が解決しようとする課題】しかしながら、このようなカップホイール15による面取りにおいては、面取り機の剛性と精密性の限界から、残留層11aの厚さは数十 $\mu\text{m}$ 程度にしかできない。また、水平方向に回転するカップホイール15の場合は、活性基板11の研削面からの反作用によりカップホイール15にぶれが生じるため、部位によって残留層11aの厚さに大きなばらつきが生じるという不具合があった。この不具合により、次の工程であるエッチングにおいて、厚い残留層11aではリードタイムが長く、生産に時間がかかり過ぎるという問題点があった。さらに、残留層の厚さに大きなばらつきが有る場合、薄い部分は他の部分より早く融けてしまい、その部分にV溝が発生するという問題点があった。本発明は、上記問題に鑑みなされたもので、活性基板の面取り加工における残留層の厚さを、従来技術に比しばらつきが少なく且つ薄く研削することができ、これによりV溝の発生をなくすることができ、且つ短時間で製造することができるSOI基板の製造方法を提供することを目的とするものである。

## 【0004】

【課題を解決するための手段】このため本発明では、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を製造するに当たり、活性基板の外周部を面取りする方法において、貼り合わせた半導体ウェハを水平方向に回転させると共に、これに対し略垂直方向に回転する研削砥石を前記活性基板の上方から接触させて研削するようにしたものである。

## 【0005】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は本発明に係るSOI基板の製造方法を示す模式図、図2は従来技術のSOI基板の製造工程を示す図、図3は従来技術のSOI基板の製造方法を示す模式図である。

【0006】本実施例のSOI基板の製造方法における貼合せウェハ4は、上記した従来技術と同様の工程によ

り得られる。次に本実施例の研削方法を説明する。図1 (a) に示すように、円盤状の研削砥石1はダイシングマシンの回転軸6により軸支され、貼合せウェハ4に対して垂直方向に回転するようにされている。これと同時に前記工程により得られた貼合せウェハ4を水平方向に回転させる。図1 (b) に示すように、研削砥石1を上方から活性基板3に対し垂直方向に移動させ、活性基板3の外周部の上面から当接させることにより、この外周部を研削して面取りする。

【0007】この面取りの後の工程は従来技術と同様であり、面取りされた貼合せウェハ4はエッチングにより\*

\* 残留層3aを除去され、活性基板3の上面を所定の厚さまで平面研削され、酸化膜5がフッ酸溶液によるエッチングで中間酸化膜5aを残した状態で取り除かれた後、活性基板3の上面をさらに薄く研磨してSOI基板（図示せず）が得られる。

【0008】ここで、本実施例のダイシングマシンによる研削砥石1を使用した面取りの仕上がり状態と、従来技術である面取り機のカップホイール15を使用した面取りの仕上がり状態とを比較すると表1のとおりであ

る。

【表1】

装置名	面取り機	ダイシングマシン
研削部材	カップホイール	研削砥石
残留層の厚さ	約70 $\mu$ m	約25 $\mu$ m
残留層の厚さのばらつき	約 $\pm$ 10 $\mu$ m	約+6 $\mu$ m
研削時間	11.5分/枚	7.5分/枚

【0009】

【発明の効果】本発明では以上のように構成したので、従来技術におけるカップホイールによる面取りに比べ次のような優れた効果がある。

(1) 面取りによって残る残留層の厚さをより薄くできることにより、その後の工程であるエッチングにかかる時間を短縮できる。

(2) 面取りによって残る残留層の厚さのばらつきを小さくでき、V溝の発生を防止できる。

(3) 研削速度が速く、面取りが効率良く行われることにより、生産性が向上する。

【図面の簡単な説明】

【図1】本発明に係るSOI基板の製造方法を示す模式図である。

【図2】従来技術のSOI基板の製造工程を示す図である。

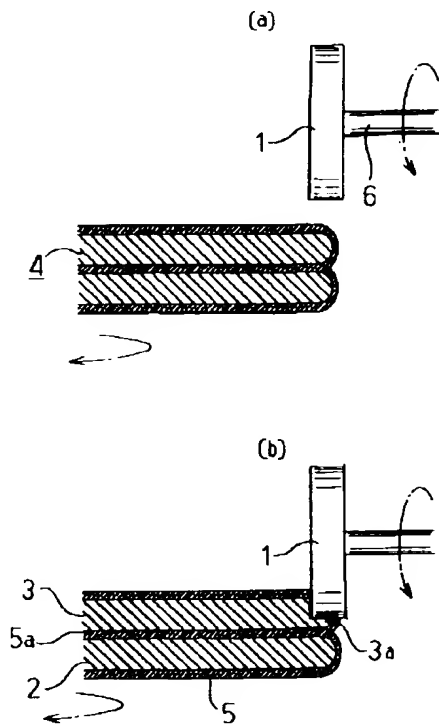
【図3】従来技術のSOI基板の製造方法を示す模式図※

※である。

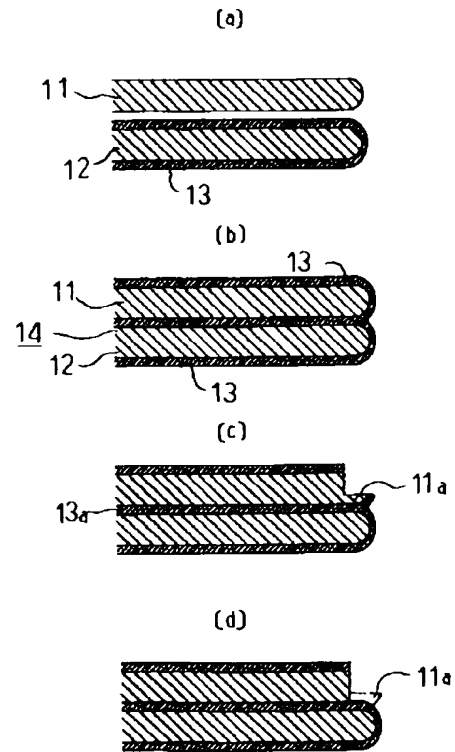
【符号の説明】

- 1 研削砥石
- 2 支持基板
- 3 活性基板
- 4 貼合せウェハ
- 5 酸化膜
- 5a 中間酸化膜
- 6 回転軸
- 11 活性基板
- 11a 残留層
- 12 支持基板
- 13 酸化膜
- 13a 中間酸化膜
- 14 貼合せウェハ
- 15 カップホイール

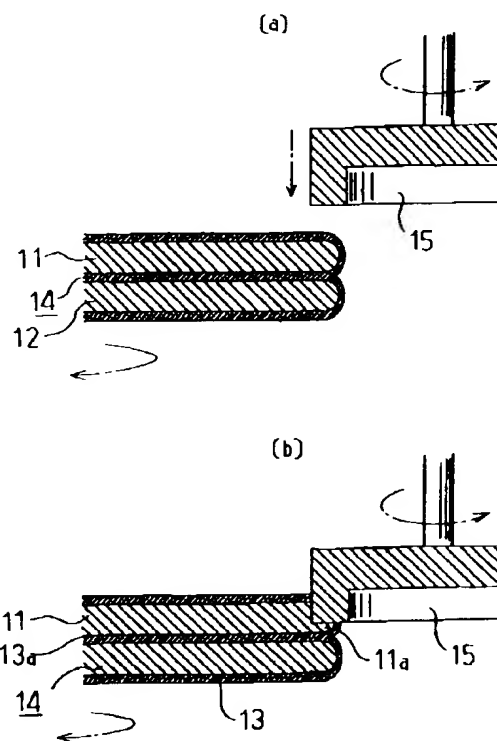
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 橋口 英里子  
宮崎県宮崎郡清武町大字木原1112番地 九  
州コマツ電子株式会社内